

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/60 (2006.01)

H01L 29/78 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 02145725.5

[45] 授权公告日 2006 年 2 月 8 日

[11] 授权公告号 CN 1241262C

[22] 申请日 2002.10.8 [21] 申请号 02145725.5

[71] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹

[72] 发明人 柯明道 徐国钧

审查员 凌宇飞

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 潘培坤 楼仙英

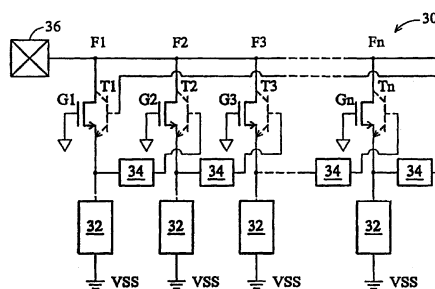
权利要求书 3 页 说明书 6 页 附图 16 页

[54] 发明名称

静电放电防护电路与相关的金属氧化半导体晶体管结构

[57] 摘要

本发明公开了一种基体触发的静电放电防护电路，该 ESD 防护电路包含具有具有多指结构的一元件、多个的暂态电流检测元件以及多个的反馈线路；该多指结构的元件具有多个指栅极、多个的指源极以及至少一指漏极。该指漏极耦接至一接合焊垫；每一指栅极下均寄生有一双极结晶体管；每一指源极为该 BJT 其中之一的射极；每一暂态电流检测元件耦接于一对应的指源极与一电源线之间，用以检测流经一相对应的指栅极的暂态电流；每一反馈线路耦接于一第一 BJT 的基极与一第二 BJT 的射极之间，于 ESD 事件发生时，用以触发该第一 BJT，以释放 ESD 电流。



1. 一种基体触发的静电放电防护电路，其特征在于，包含有：

形成在基体上具有多指结构的一元件，每一指结构包含有一指栅极、一指源极以及一指漏极，该指漏极耦接至一接合焊垫，每一指结构下均寄生有一双极晶体管，每个指结构下的指漏极、基体与指源极分别构成该寄生双极晶体管的集电极、基极以及射极；

多个的暂态电流检测元件，每一暂态电流检测元件耦接于一对应的指源极与一电源线之间，用以检测流经一相对应的指栅极的暂态电流；以及

多个的反馈线路，每一反馈线路耦接于一第一双极晶体管的基极与一第二双极晶体管的射极之间，当静电放电事件发生时，用以触发该第一双极晶体管，以释放静电放电电流。

2. 如权利要求 1 所述的静电放电防护电路，其特征在于，所述的元件是一 NMOS。

3. 如权利要求 1 所述的静电放电防护电路，其特征在于，所述的元件是一 PMOS。

4. 如权利要求 1 所述的静电放电防护电路，其特征在于，所述的元件的多个指栅极其中之一耦接至一电源线。

5. 如权利要求 4 所述的静电放电防护电路，其特征在于，所述的元件的多个指栅极其中之一通过一电阻耦接至一电源线。

6. 如权利要求 1 所述的静电放电防护电路，其特征在于，所述的元件的多个指栅极其中之一耦接至一前级驱动电路。

7. 如权利要求 1 所述的静电放电防护电路，其特征在于，所述的多个暂态电流检测元件为多个电阻。

8. 如权利要求 7 所述的静电放电防护电路，其特征在于，所述的每一该电阻是以第一导电型的一井电阻设于一第二导电型基体所构成。

9. 如权利要求 1 所述的静电放电防护电路，其特征在于，所述的多个暂态电流检测元件是多个电感。

10. 如权利要求 1 所述的静电放电防护电路，其特征在于，所述的多个暂态电流检测元件包含一二极管。

11. 如权利要求 1 所述的静电放电防护电路, 其特征在于, 所述的多个暂态电流检测元件包含多个顺向串联的二极管。

12. 如权利要求 1 所述的静电放电防护电路, 其特征在于, 所述的反馈线路同时连接该第一双极晶体管的基极、一第一双极晶体管的射极与该第二双极晶体管的射极。

13. 如权利要求 1 所述的静电放电防护电路, 其特征在于, 所述的元件是一堆栈式 MOS。

14. 一种具有静电放电防护能力的一种金属氧化半导体晶体管结构, 设于一第二导电型的一基体上, 包含有:

10 该第二导电型的一防护环, 形成于该基体上, 作为该基体的电性连接点; 多个指结构, 被该防护环所包围, 每一指结构包含有一指栅极、一指源极、一指漏极以及一基体电流进入点, 该指源极是以一第一导电型的一第一掺杂区所构成, 该指漏极是以该第一导电型的一第二掺杂区所构成, 耦接至一接合焊垫, 该指栅极设于该第一掺杂区与该第二掺杂区之间, 该基体电流进入点是以被该第二掺杂区包围的该第二导电型的一第三掺杂区所构成, 该指栅极附近的该第一掺杂区、该基体与该第二掺杂区构成一寄生的双极晶体管;

多个井电阻, 每一井电阻的一端耦接至该多个指源极其中之一, 每一井电阻的另一端耦接至一电源线; 以及

20 内连接线路, 用以耦接该指源极其中之一至该多个基体电流进入点其中之一, 以在静电放电事件发生时, 流经一第一寄生双极晶体管与一相连的井电阻的电流, 可以触发一第二寄生双极晶体管。

15. 如权利要求 14 所述的金属氧化半导体晶体管结构, 其特征在于, 所述的每一该多个井电阻是由该第二导电型的一井区, 设于该第一掺杂区与一第四掺杂区之间, 该第四掺杂区耦接至该电源线。

16. 如权利要求 15 所述的金属氧化半导体晶体管结构, 其特征在于, 所述的第一掺杂区与该第四掺杂区之间另设有一场氧化层区, 以增加该多个井电阻之一的电阻值。

17. 如权利要求 14 所述的金属氧化半导体晶体管结构, 其特征在于, 所述的第二掺杂区与该第三掺杂区之间设有一场氧化层区, 用以分隔该第二掺

杂区与该第三掺杂区。

18. 如权利要求 14 所述的金属氧化半导体晶体管结构，其特征在于，所述的第二掺杂区与该第三掺杂区之间设有一虚置栅结构，用以分隔该第二掺杂区与该第三掺杂区。

静电放电防护电路与相关的金属氧化半导体晶体管结构

5 技术领域

本发明涉及一种静电放电 (electrostatic discharge, ESD) 防护电路与其相关元件, 尤指一种具有高基体触发效率的 ESD 防护电路。

背景技术

基本上, ESD 是一种外界大量能量通过集成电路 (integrated circuit) 的瞬间能量释放过程, 整个的放电过程大约是 100 纳秒。在这么短的时间内, 数百伏特, 甚至是数千伏特的 ESD 应力要被释放。如果, 释放的过程不适当, 将很容易造成 IC 内的元件损害, 尤其是晶体管的栅极。随着栅极氧化层厚度的缩减, 栅极也就越脆弱, IC 也越需要有特别的设计, 来防止 ESD 所可能造成的损害。

大量能量释放势必会造成高热。为了散热的效果考虑, 一般的 ESD 防护元件都是使用大尺寸元件。如图 1 所示, 是一现有的具有 ESD 防护功能的输入端口 (port)。正型的 MOS (PMOS) M_p 与负型的 MOS (NMOS) M_n 作为 ESD 防护元件, 一般是多指结构 (multi-finger layout) 的金属氧化半导体场效应晶体管 (metal-oxide-semiconductor field effect transistor, MOS)。图 2A 为一现有的多指结构的 MOS 的布局图; 图 2B 为图 2A 的一剖面图。多指结构 (multi-finger) 的 MOS, 因其具有大的元件尺寸, 同时又占有较小的元件面积, 所以常常被用来作为 ESD 防护元件。

然而, 大尺寸的 MOS 元件会遭遇多指结构布局无法均匀的 (uniformly) 被触发的问题。多指结构 MOS 的数个指栅极因为位置的不同, 而会有不同触发速度。而且, 往往只有部分几个指栅极被触发。所以, 多指结构 MOS 的 ESD 耐受力往往无法随着元件尺寸增大而增大。为了提高多指结构 MOS 的 ESD 耐受力, 目前已知的技术包含有栅极耦合技术以及基体触发技术, 分别如图 3 与图 4 所示。

发明内容

有鉴于此，本发明的主要目的，是提供一种能使多指结构 MOS 均匀触发的技术，提高多指结构 MOS 的 ESD 耐受力。

本发明的另一目的，是提供一相对应的元件布局图（device layout），能有效率地利用晶片面积，制作一高效能的 ESD 防护元件。

根据上述的目的，本发明提出一种基体触发的静电放电（electrostatic discharge, ESD）防护电路。该 ESD 防护电路包含有形成在基体上具有多指结构的一元件（device）、多个的暂态电流检测元件以及多个的反馈线路。每一指结构包含有一指栅极、一指源极以及一指漏极。该指漏极耦接至一接合焊垫（pad）。每一指结构下均寄生有一双极晶体管（bipolar junction transistor, BJT）。每个指结构下的指漏极、基体与指源极分别构成该寄生 BJT 的集电极、基极以及射极。每一暂态电流检测元件耦接于一对应的指源极与一电源线之间，用以检测流经一相对应的指栅极的暂态电流（transient current）。每一反馈线路耦接于一第一 BJT 的基极（base）与一第二 BJT 的射极之间，当 ESD 事件发生时，用以触发该第一 BJT，以释放 ESD 电流。

本发明另提出一种具有高效能的静电放电防护能力的一种金属氧化半导体晶体管结构，设于一第二导电型的一基体（substrate）上。该金属氧化半导体晶体管结构包含有该第二导电型的一防护环（guard ring）、多个的指结构、多个的井电阻以及内连接线路（internal connection circuits）。该防护环形成于该基体上，作为该基体的电性连接点。该指结构被该防护环所包围。每一指结构包含有一指栅极、一指源极、一指漏极以及一基体电流进入点。该指源极以一第一导电型的一第一掺杂区所构成。该指漏极以该第一导电型的一第二掺杂区所构成，耦接至一接合焊垫。该指栅极设于该第一掺杂区与该第二掺杂区之间。该基体电流进入点以被该第二掺杂区包围的该第二导电型的一第三掺杂区所构成。该指栅极附近的该第一掺杂区、该基体与该第二掺杂区是构成一寄生的双极晶体管。每一井电阻的一端耦接至该指源极其中之一，每一井电阻的另一端耦接至一电源线。内连接线路用以耦接该指源极其中之一至该基体电流进入点其中之一。如此，当 ESD 事件发生时，流经一第一寄生 BJT 与一相连的井电阻的 ESD 电流，可以触发一第二寄生 BJT。

本发明的优点在于，当指栅极其中之一下面寄生的 BJT 被 ESD 应力触发

时,大量的电流流经一相对应的暂态电流检测元件,进而提高该BJT的射极电压。射极电压升高后,可以提供另一BJT的基极电流,触发该另一BJT,以加入释放ESD应力的行列。如此的连锁反应下,所有的BJT都可以被触发,使该ESD防护电路或是金属氧化半导体晶体管结构达到最佳的ESD防护效果。

为使本发明的上述目的、特征和优点能更明显易懂,下文特举一较佳实施例,并配合附图,作详细说明如下。

附图说明

- 图1是一现有的具有ESD防护功能的输入端口;
图2A是一现有的多指结构的MOS的布局图;
图2B是图2A的一剖面图;
图3显示一现有的栅极耦合技术;
图4显示一现有的基体触发技术;
图5为本发明的基体触发的ESD防护电路,以NMOS实施时的概念示意图;
图6为多指结构的NMOS单纯只是作为ESD防护元件时的一实施例;
图7为多指结构的NMOS作为一驱动器时的一实施例;
图8为多指结构的PMOS单纯只是作为ESD防护元件时的一实施例;
图9为多指结构的PMOS作为一驱动器时的一实施例;
图10为一依据本发明,具有4指结构的多指结构NMOS的布局图(layout);
图11A与图11B分别为沿着图10中XX'线与YY'线的剖面图;
图12至图15为依据本发明,可以同时触发多个BJT的四个实施例;
图16为一可以用于图12的多指结构的NMOS剖面图;
图17是指漏极与基体电流进入点之间以虚栅极结构隔绝的多指结构NMOS的布局图;
图18为图17的剖面图,但其反馈线路使其寄生的BJT可依序的触发;
图19为图17的剖面图,但其反馈线路使其寄生的BJT可同时的触发;
图20至图22分别以一电感、二极体以及串联的多个二极体作为本发明中

的暂态电流检测元件；以及

图 23 为本发明应用于堆叠式 NMOS 的一实施例。

具体实施方式

5 图 5 是本发明的基体触发的 ESD 防护电路，以 NMOS 实施时的概念示意图。本发明的 ESD 防护电路 30 具有一多指结构的 NMOS（由 G1—Gn 的指结构）、多个暂态电流检测元件 32 以及多个的反馈线路 34。每个指结构的一指漏极（finger drain）耦接至一接合焊垫（pad）36。每个暂态电流检测元件 32 都耦接在一指结构的一指源极（finger source）与一 Vss 电源线之间。每个指
10 结构下的指漏极、基体与指源极会分别构成一寄生的 BJT（T1—Tn）的集电极（collector）、基极（base）以及射极（emitter）。每个反馈线路（feedback circuits）34 连接于一寄生 BJT 的射极与另一寄生 BJT 的基极之间，如图 5 所示。

本发明的主要原理如下。如果，多指结构的 NMOS 在 ESD 事件刚发生时没有被均匀地触发，譬如说只有 G1 被触发，则大量流经 G1 与一相连的暂态
15 电流检测元件 32 的电流将会提升 T1 的射极电压。只要 T1 的射极电压高到一定程度，通过一反馈线路 34 与基体触发技术，T2 的基极电压也会升高，进而触发 T2 的开启，使 G2 加入导通 ESD 电流的行列。由图 5 中的连接方式可知，G1 的触发将会导致 G2 的触发，G2 的触发将会导致 G3 的触发，以此类推。最后，Gn 的触发将导致 G1 的触发。换言之，任何一个指结构的触发将会连
20 锁反应式的导致其他指结构的触发。因此，在多指结构共同加入导通 ESD 电流的状况下，本发明的 ESD 防护元件与电路设计将会具有良好的 ESD 耐受力。

当多指结构的 NMOS 单纯只是作为 ESD 防护元件时，其多个指源极可以直接耦接至 Vss，或是通过电阻耦接至 Vss，如图 5 和图 6 所示。在图 6 中，暂态电流检测元件 32 为电阻 R_{s1}—R_{sn}。每一反馈线路 34 为一单纯的内连接线（internal connection wire），连接一 BJT 的射极与另一 BJT 的基极。
25

当多指结构的 NMOS 不只是作为 ESD 防护元件时，还要作为输出端口（output port）的驱动器（driver）时，依据驱动电流的需求，可以将部分的或是全部的指栅极耦接至前级驱动器（pre-driver）。在图 7 中，所有的指栅极均耦接至前级驱动器 38，充分发挥其驱动能力。

30 除了多指结构的 NMOS 外，本发明也可以实施在多指结构的 PMOS 元件

上。图 8 与图 9 为两个以多指结构的 PMOS 实施本发明的实施例。其中，图 8 中的指栅极均耦接至 VDD 电源线，用以在正常电源操作时关闭所有的指栅极，此连接方式适用于输入端口的 ESD 防护电路。图 9 中的指栅极耦接至一前级驱动器 38，其多指结构的 PMOS 作为一个后级驱动器 (post driver)，并可作为输出端口的 ESD 防护元件使用。

图 10 为一依据本发明，具有 4 指结构的多指结构 NMOS 的布局图 (layout)。图 11A 与图 11B 分别为沿着图 10 中 XX' 线与 YY' 线的剖面图。多指结构 NMOS 设于一 P 型基体 40 上，其最外围是一个 P+ 掺杂区 42，作为多指结构 NMOS 的保护环 (guard ring)，同时也作为 P 型基体 40 的电性连接点，耦接至 VSS。

图 10、11A 与 11B 中有 4 个指结构。每一个指结构具有一指栅极 44、一指源极、一指漏极以及一基体电流进入点。每一个指结构与另一个指结构有共用部分的区域。指源极为 N+ 掺杂区 46。指漏极为 N+ 掺杂区 48，耦接至一接合焊垫 36。基体电流进入点为 P+ 掺杂区 50，每一 P+ 掺杂区 50 均被 N+ 掺杂区 48 所包围。P+ 掺杂区 50 与 N+ 掺杂区 48 之间有场氧化层 52a 作为隔绝。图中，场氧化层 52a 是以浅沟隔离法 (shallow trench isolation, STI) 制作而成，但也可用局部氧化法 (local oxidation, LOCOS) 制作而成。

由图 11B 中可知，每个指结构的指栅极下方寄生有一 NPN BJT。N+ 掺杂区 48、P 型基体 40 与 N+ 掺杂区 46 分别构成 BJT 的集极、基极与射极。基极通过基体 40 的展阻 (spread resistor) 连接到 P+ 掺杂区 42。基极也耦接至基体电流进入点 50。当基体电流进入点有电流进入时，可以提高 BJT 的基极电压，进而触发 BJT 导通，来排放 ESD 电流。

井电阻设在 N+ 掺杂区 46 旁，分别以一 N 型井 54 所构成。N 型井 54 的一边连接至 N+ 掺杂区 46，另一边连接至 N+ 掺杂区 56。而 N+ 掺杂区 56 耦接至 Vss。N 型井 54 上可形成场氧化层 52b，一方面隔绝 N+ 掺杂区 56 与 46，另一方面用以增加井电阻的阻值。

图 11B 中显示了一种内连接线路 (internal connection circuits)。最左指源极以及最右指源极共同连接到左边的基体电流进入点 (左边的 P+ 掺杂区 50)，中央两个指源极共同连接到右边的基体电流进入点 (右边的 P+ 掺杂区 50)。

图 11A 与 11B 中的 ESD 防护电路，在 ESD 事件时所产生的连锁反应，以

便所有的指结构均触发的原理，已经在之前图 5 中详述，在此不再重述。

5 每一反馈线路不一定是只有连接一个指源极与一个 BJT 的基极，也可以连接一个指源极与多个 BJT 的基极，甚至是所有的 BJT 的基极。也就是流经一个暂态电流检测元件 32 的电流可以同时触发不只一个的 BJT。图 12 至图 15 为此种方案的实施例，其中，反馈线路连接了所有的 BJT 的基极。换言之，当一个 BJT 被触发时，其他的 BJT 的基极电压也将会被提高而触发。图 16 为一可以用于图 12 的多指结构的 NMOS 剖面图，其中寄生的 BJT 可以被同时触发。

10 P+掺杂区 50 与 N+掺杂区 48 之间也可以用一虚栅极结构(dummy gate)作为隔绝。图 17 为指漏极与基体电流进入点之间以虚栅极结构 70 隔绝的多指结构 NMOS 的布局图。图 18 为图 17 沿着 YY' 线的剖面图，但其反馈线路使其寄生的 BJT 循序的触发。图 19 为图 17 沿着 YY' 线的剖面图但其反馈线路使其寄生的 BJT 同时的触发。

15 暂态电流检测元件 32 的功能在于检测 ESD 事件时的大量电流，进而提高指源极的电位。因此，除了电阻之外，可用的元件有电感(如图 20 所示)、二极管(如图 21 所示)或是串联的二极管(如图 22 所示)。尤其是电感，可以设计的使其在一般正常电源操作时，电流的变化不会产生足够的电压而触发寄生的 BJT。但是，在 ESD 事件时，短时间内的电流变化可以使电感的两端产生足够的压差以触发 BJT。

20 对于混压(mixed-voltage) IC 而言，堆栈式(stacked) NMOS 一般是用来承受具有较高电压准位的出入信号，同时作为一输出驱动器或是一 ESD 防护元件。堆叠式 NMOS 同样也可以使用本发明的概念，利用一暂态电流检测元件来检测流经堆叠指结构的 ESD 电流，然后反馈与寄生于堆叠指结构下的 BJT，如图 23 所示。

25 现有的 ESD 防护电路与多指结构的 MOS，容易因为位置不同而有触发不均匀的问题，而本发明的 ESD 防护电路利用 ESD 电流的检测、基体触发技术以及连锁反应，来使所有的 BJT 一起被触发，所以会具有较佳的 ESD 耐受力。

30 本发明虽以较佳实施例揭露如上，但是并非用以限定本发明，本技术领域的普通技术人员，在不脱离本发明的精神和范围内，做出的等效结构变换，均包含在本发明的专利范围内。

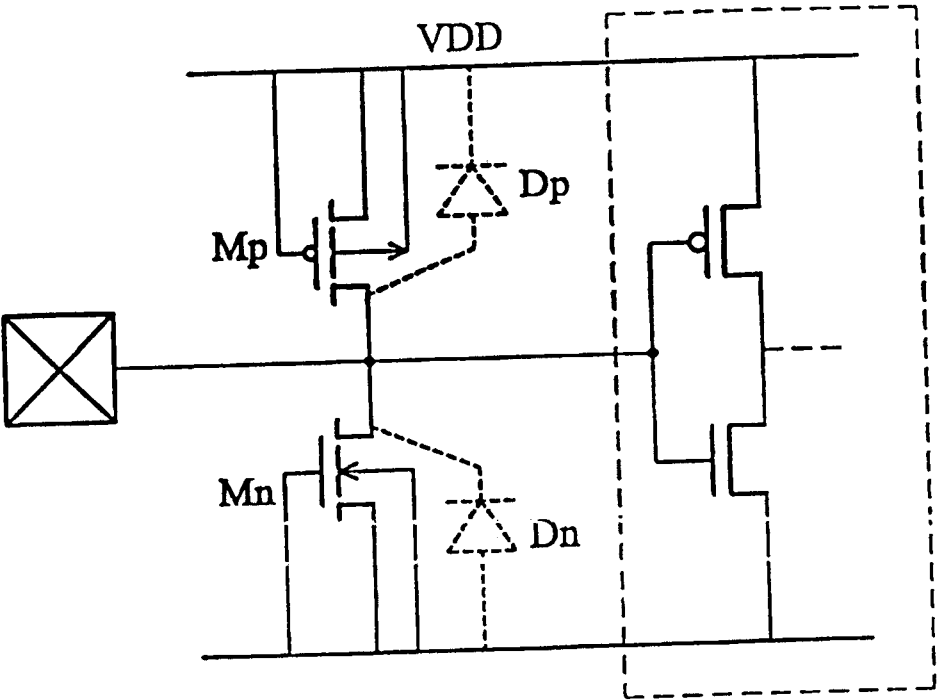


图 1

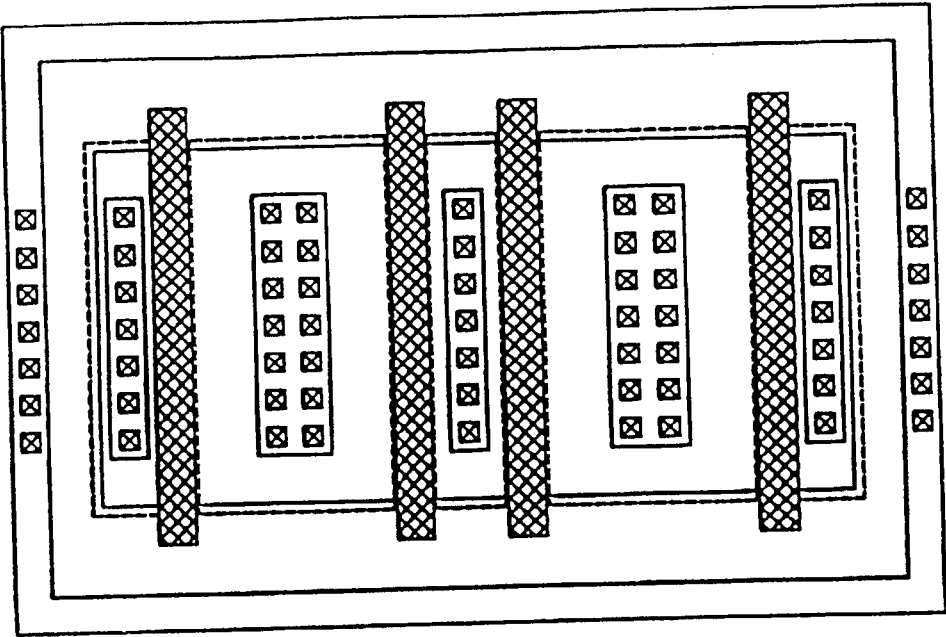


图 2A

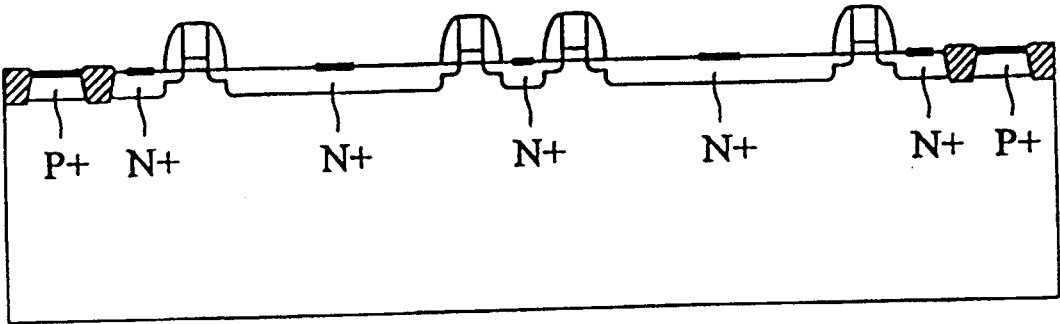


图 2B

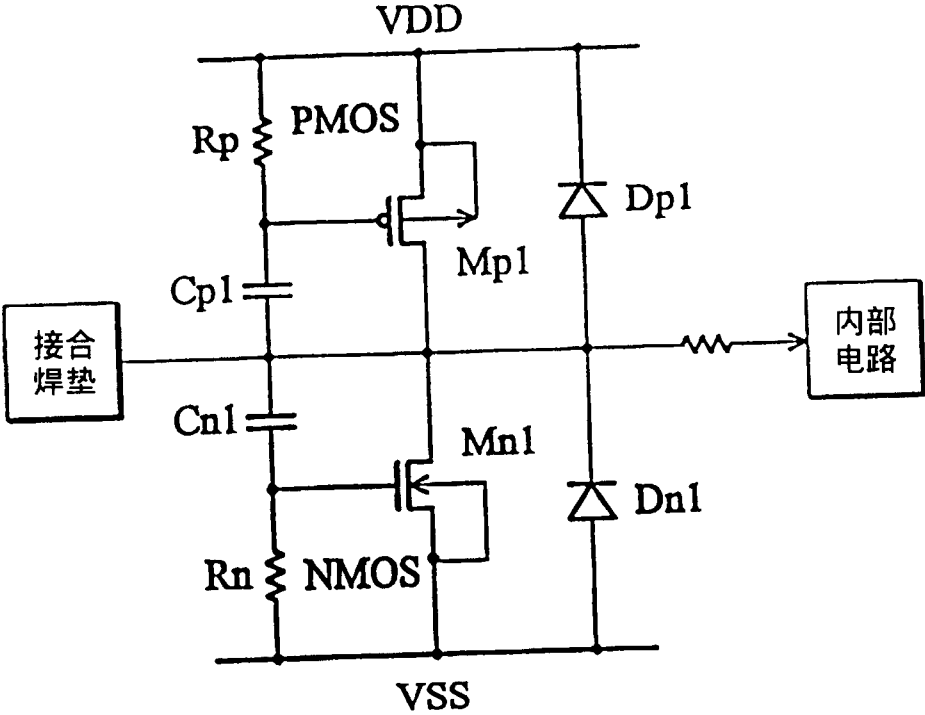


图 3

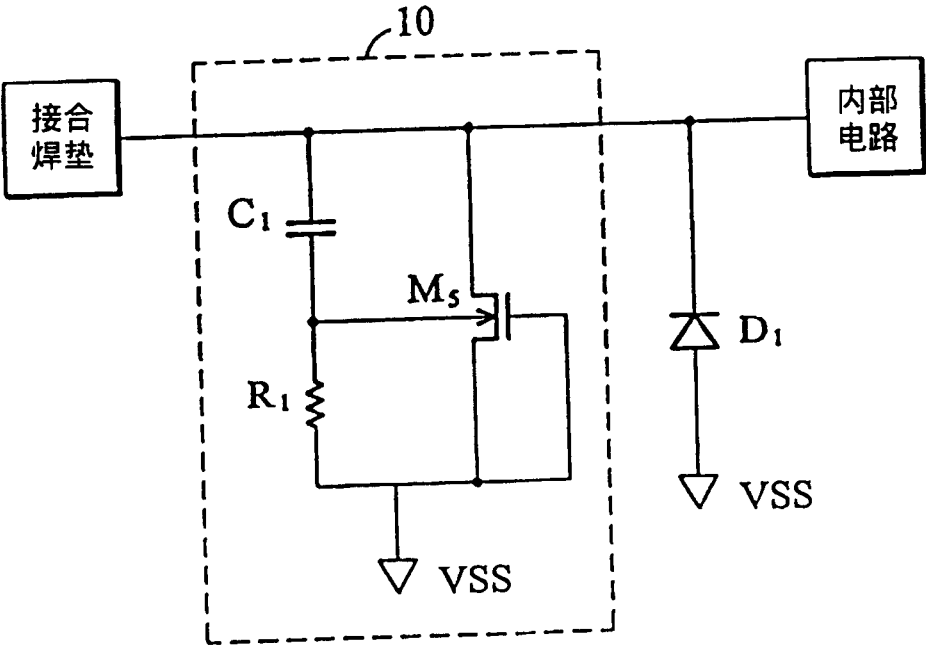


图 4

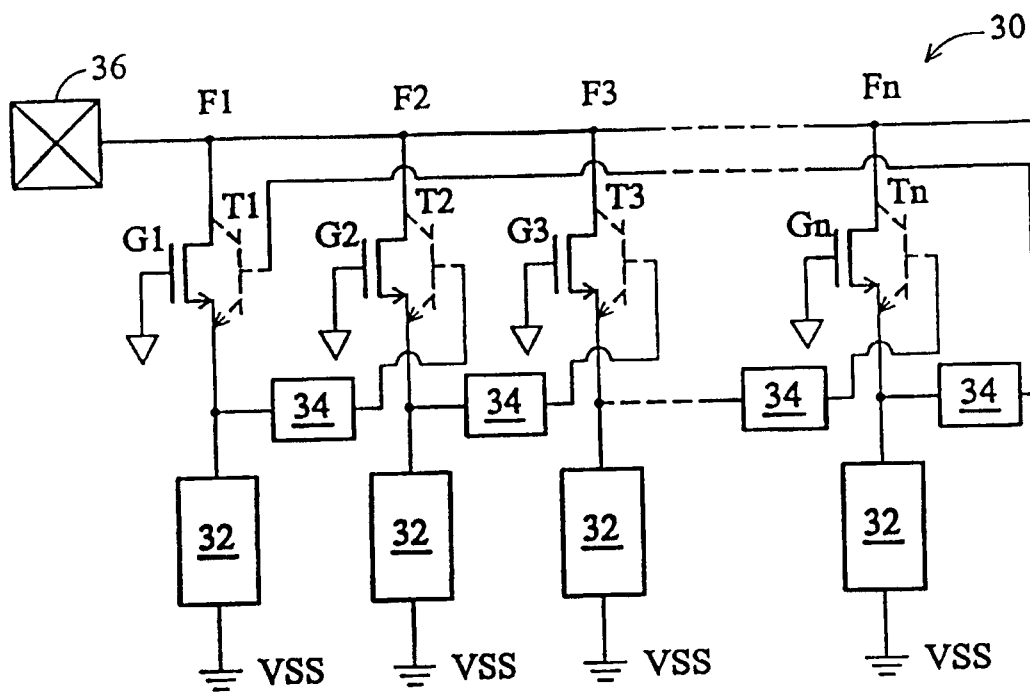


图 5

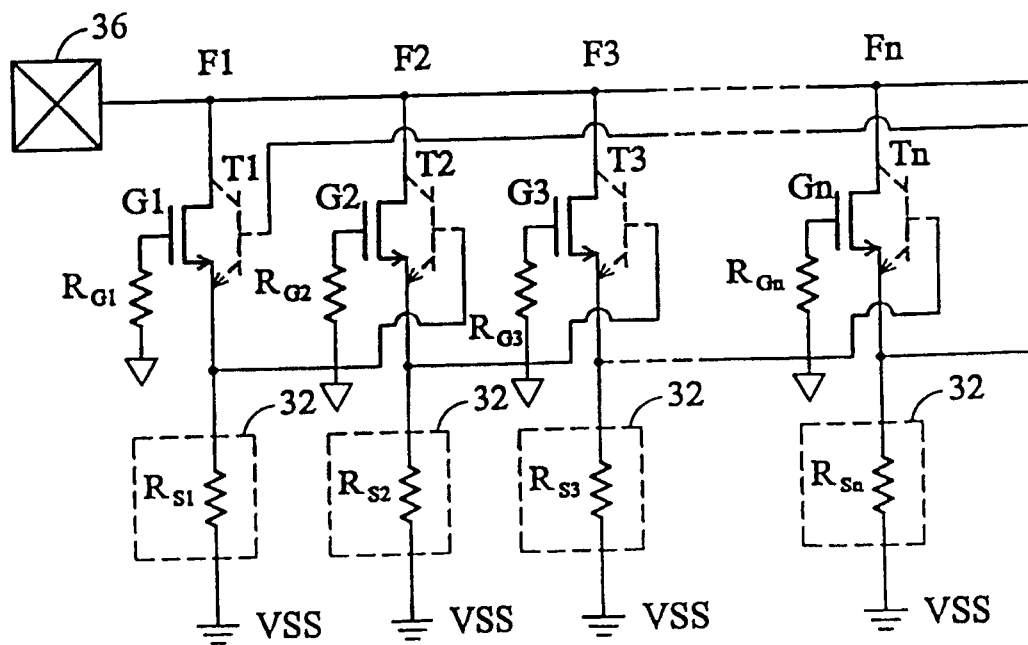


图 6

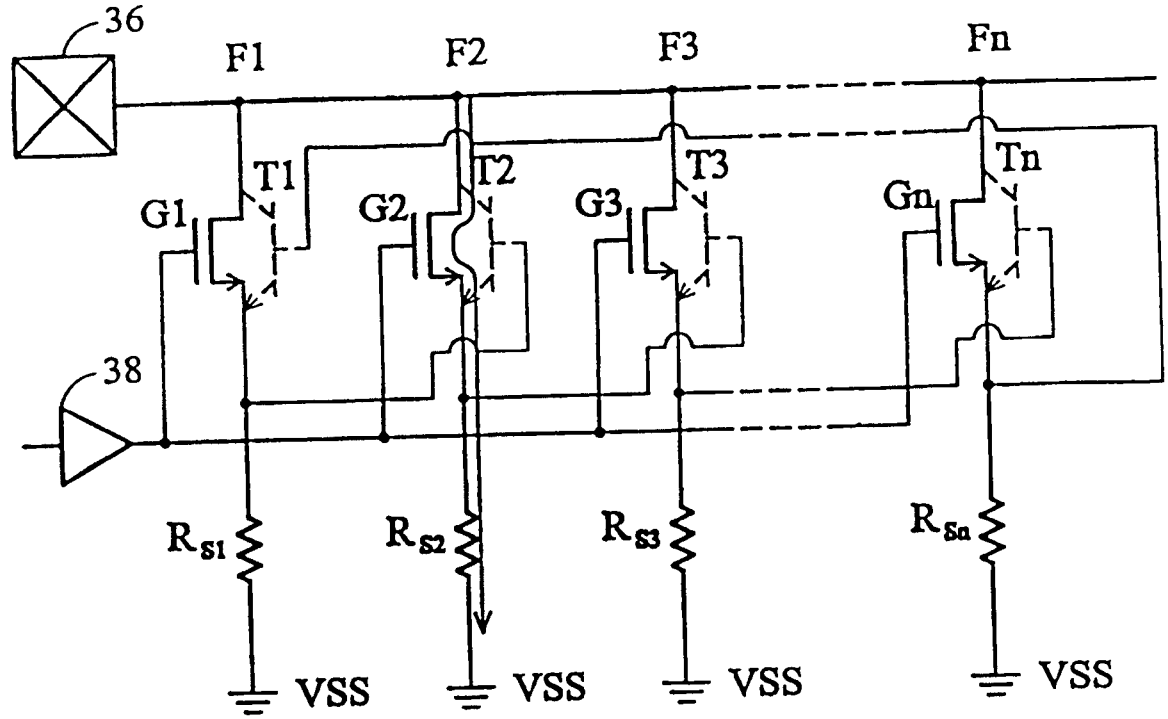


图 7

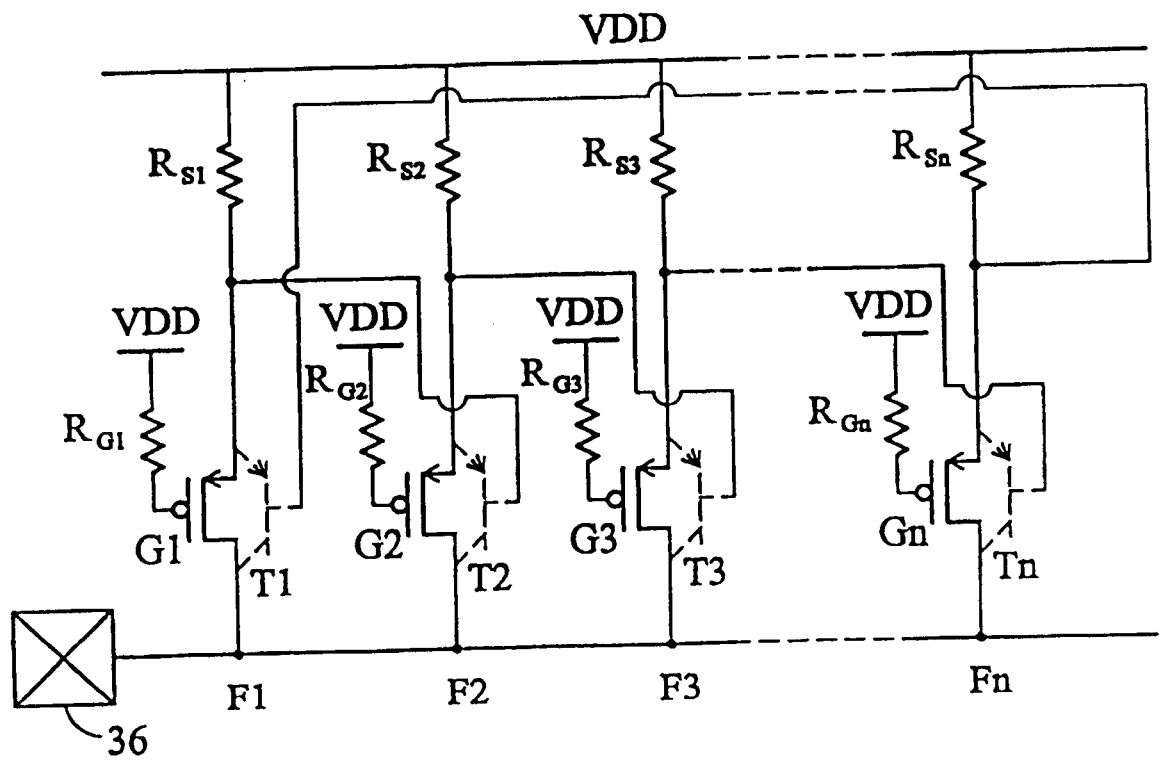


图 8

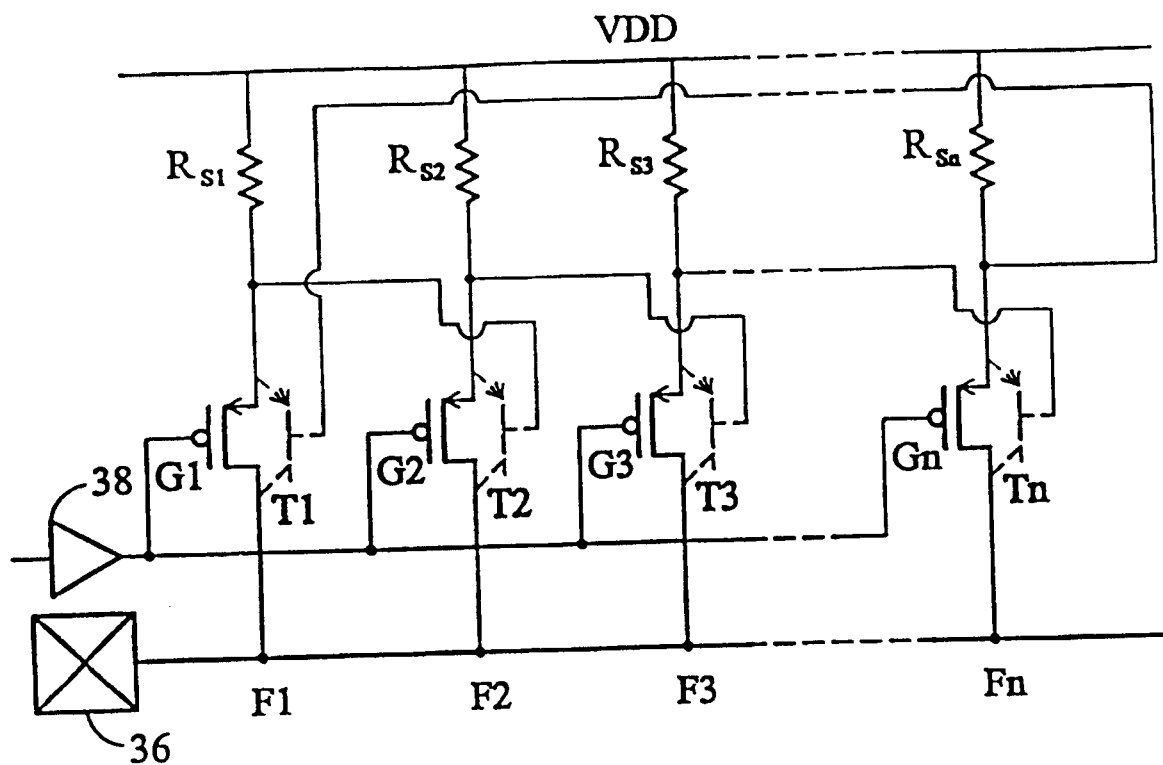


图 9

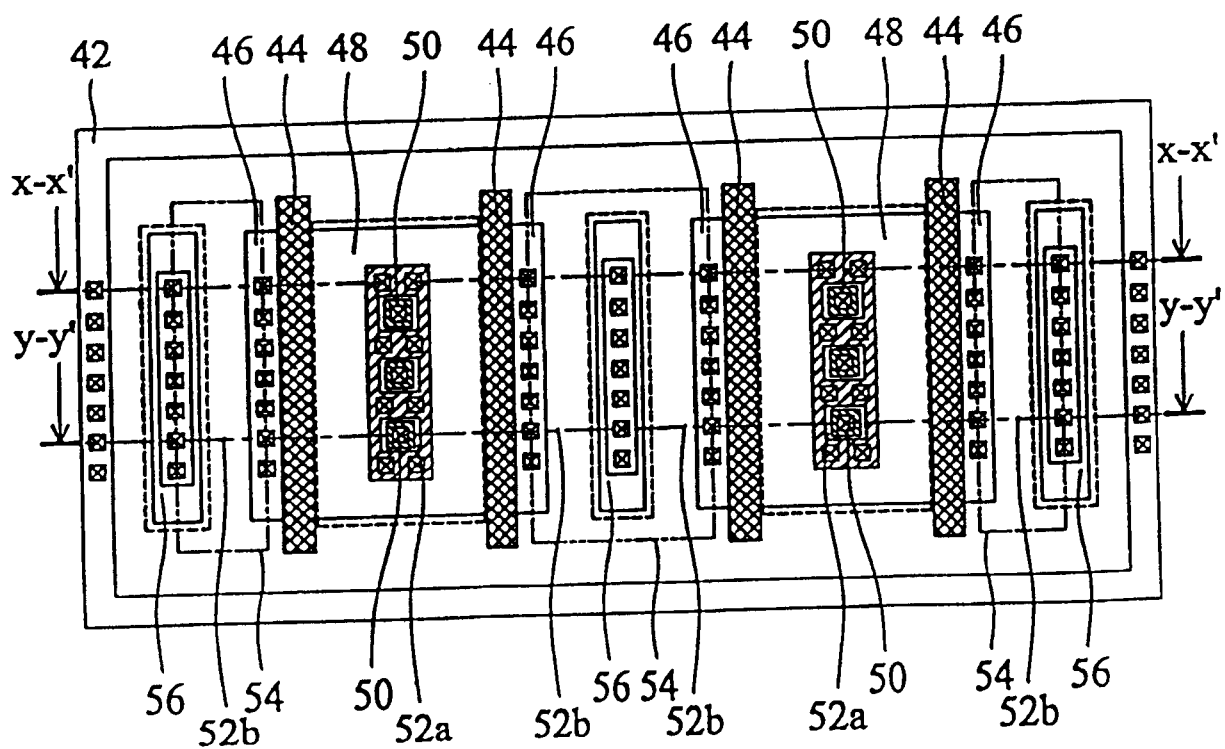


图 10

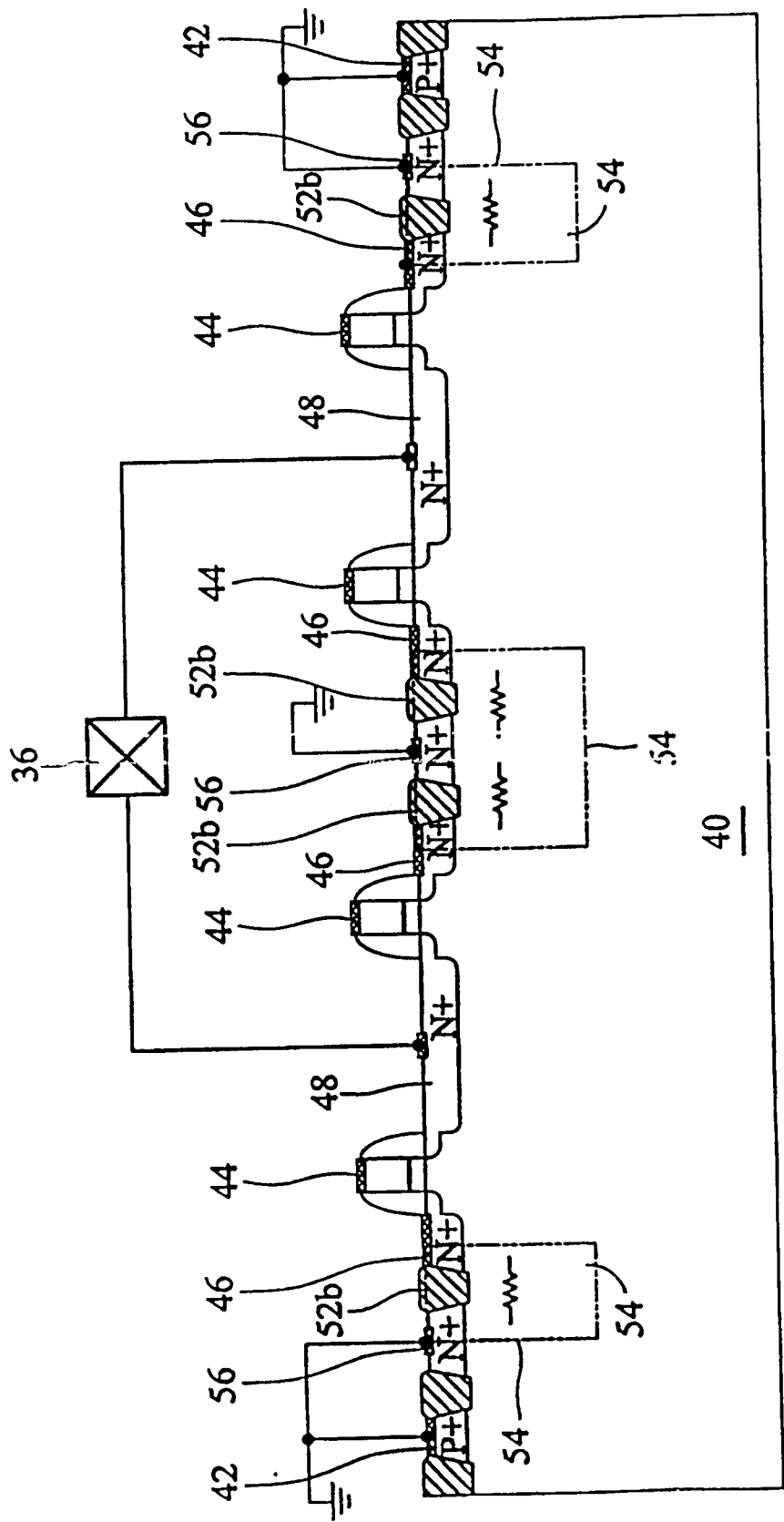


图 11A

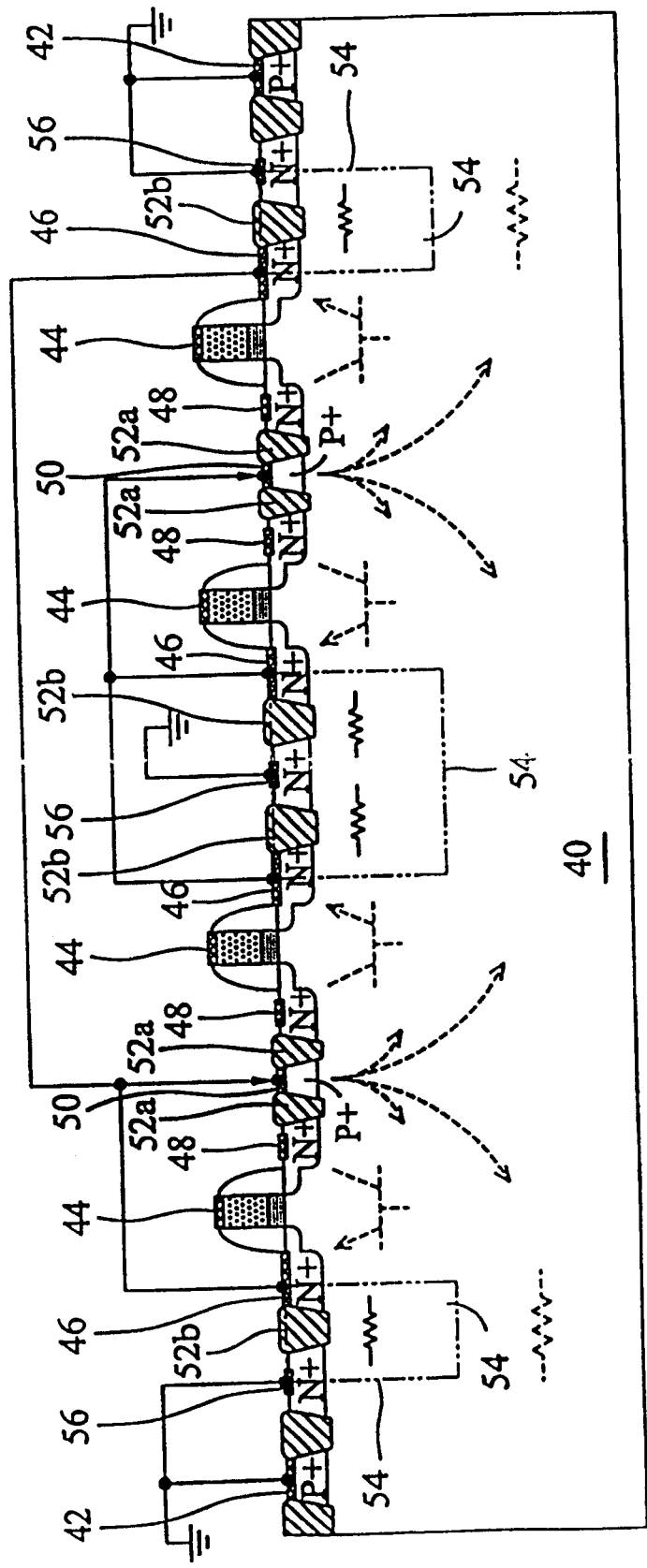


图 11B

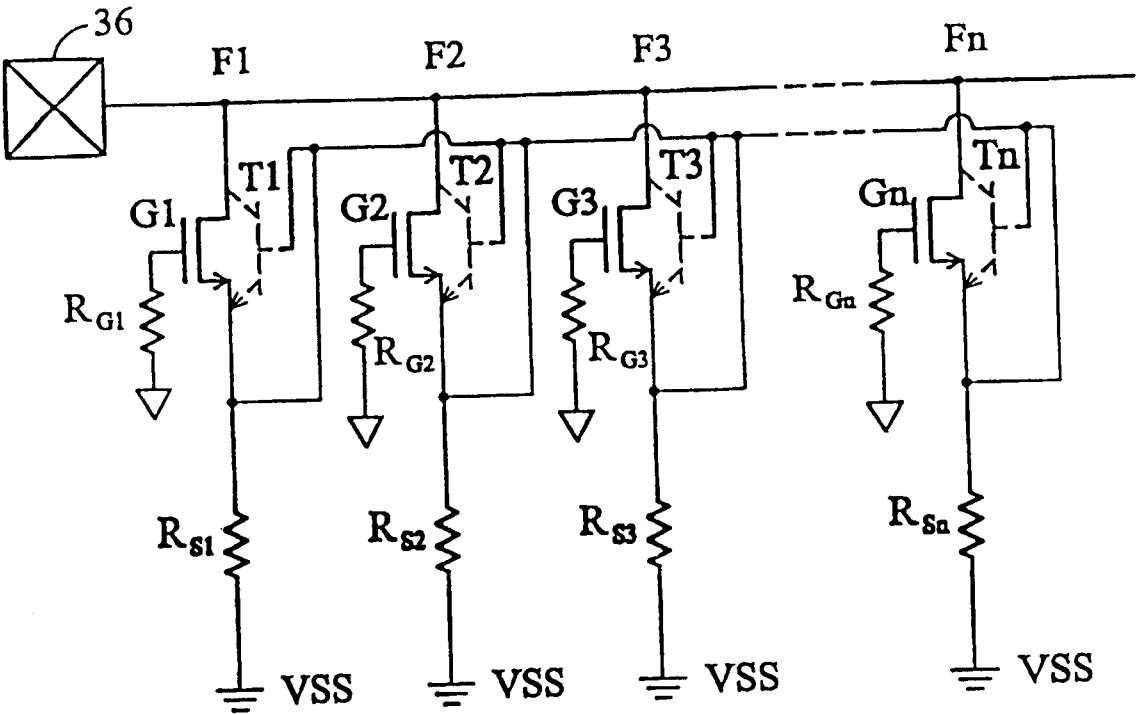


图 12

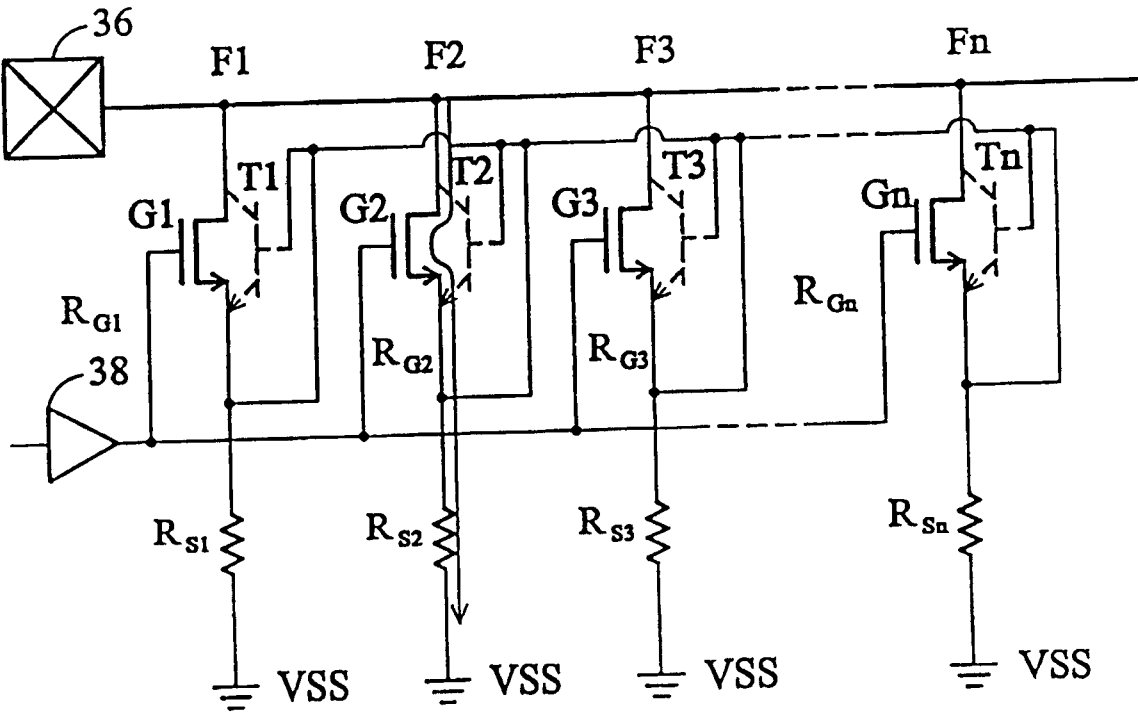


图 13

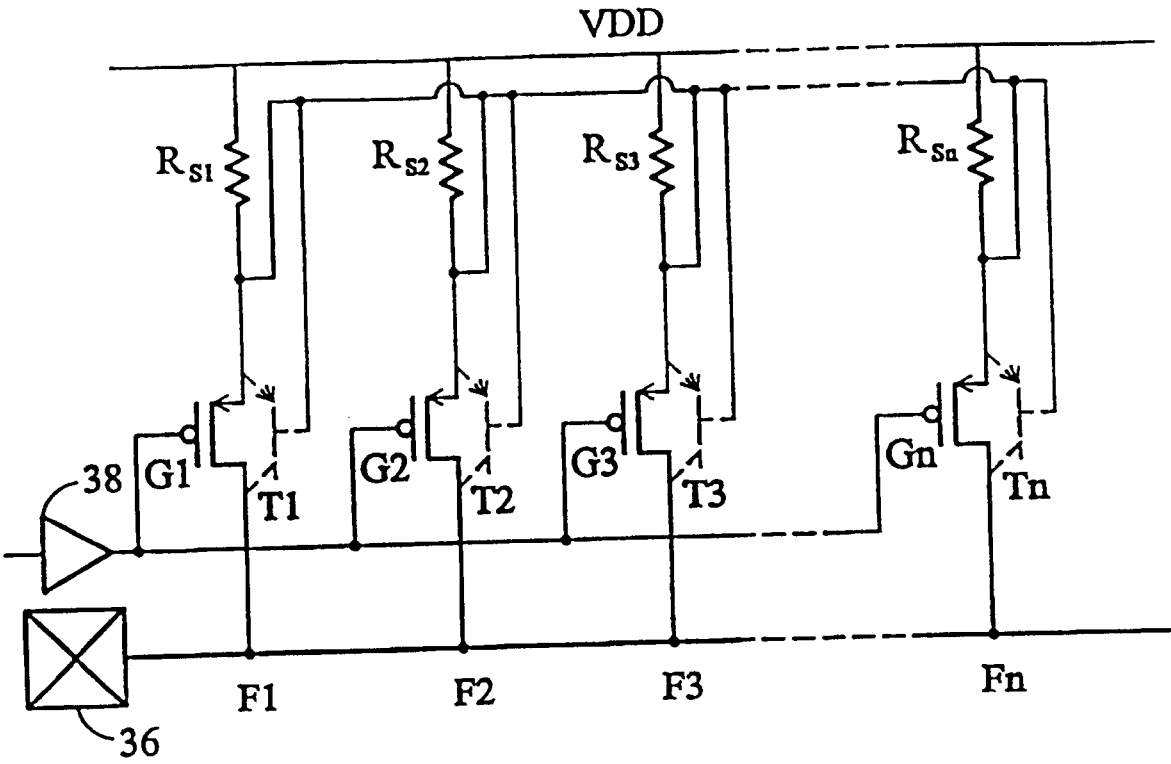


图 14

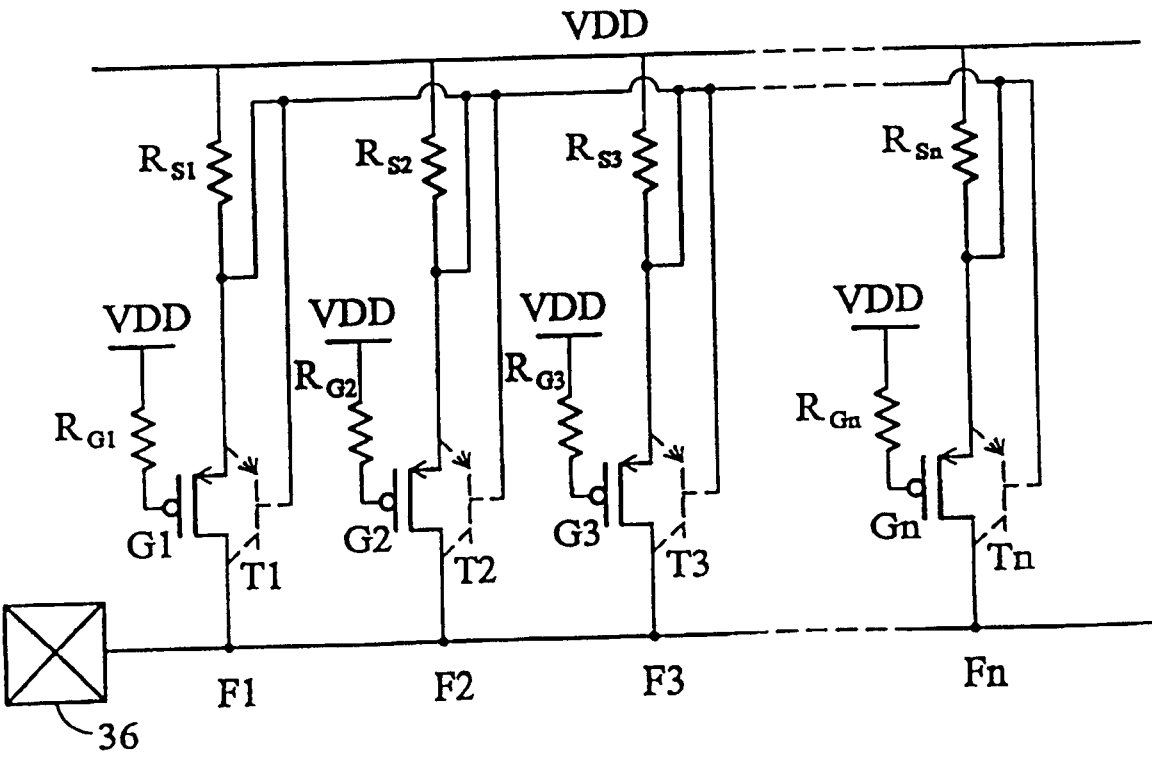


图 15

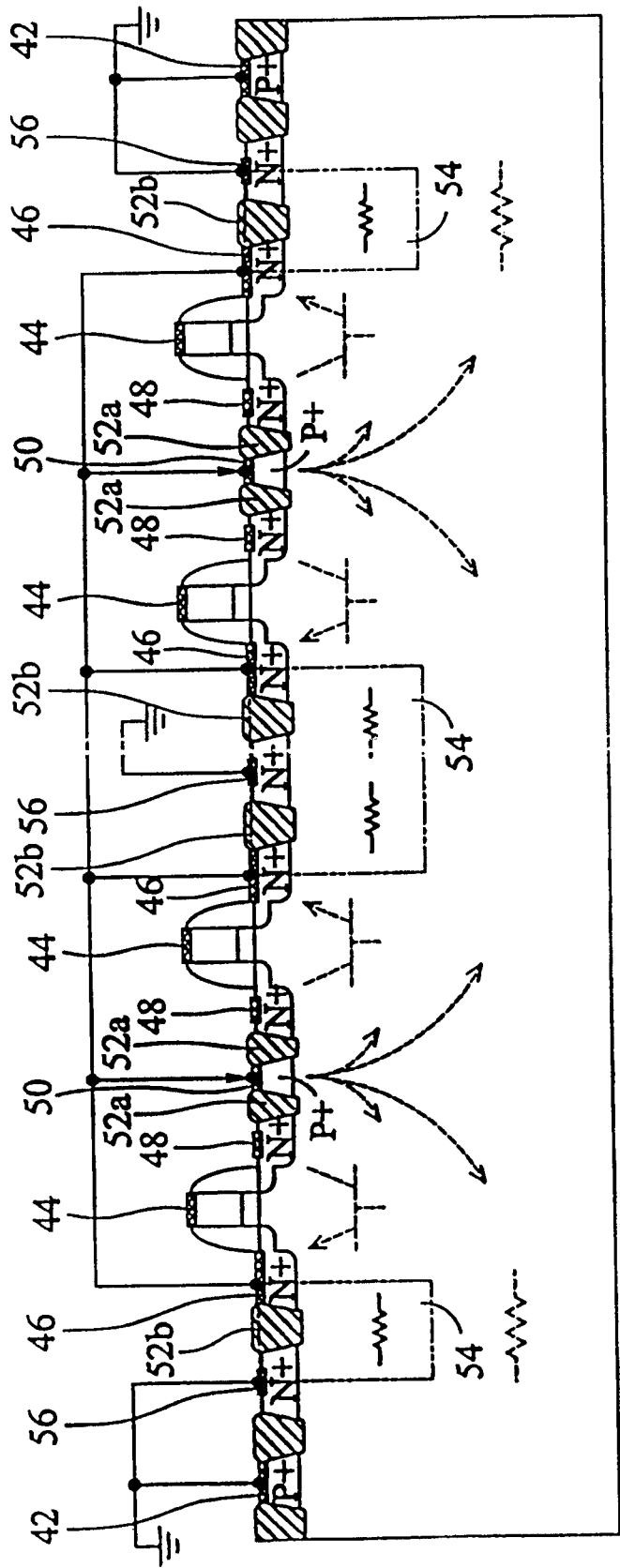


图 16

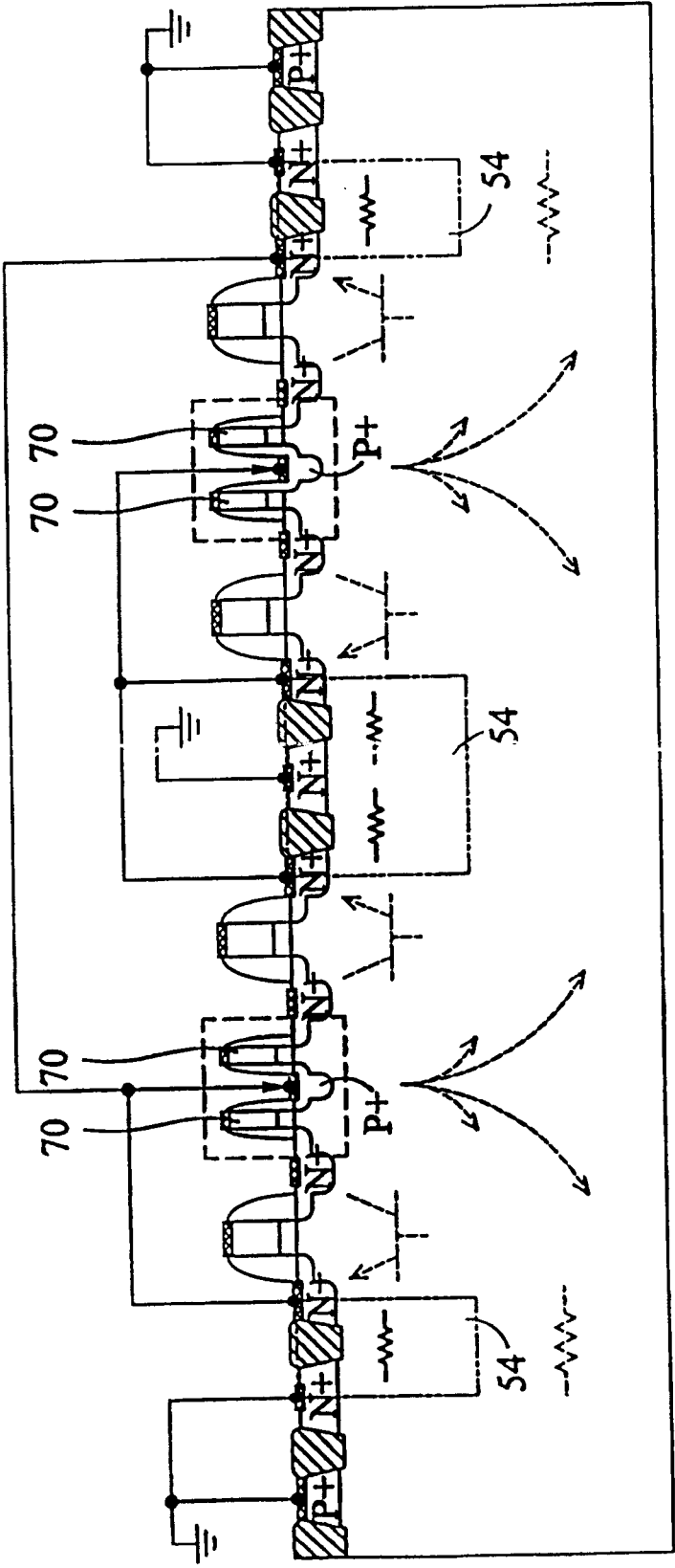


图 18

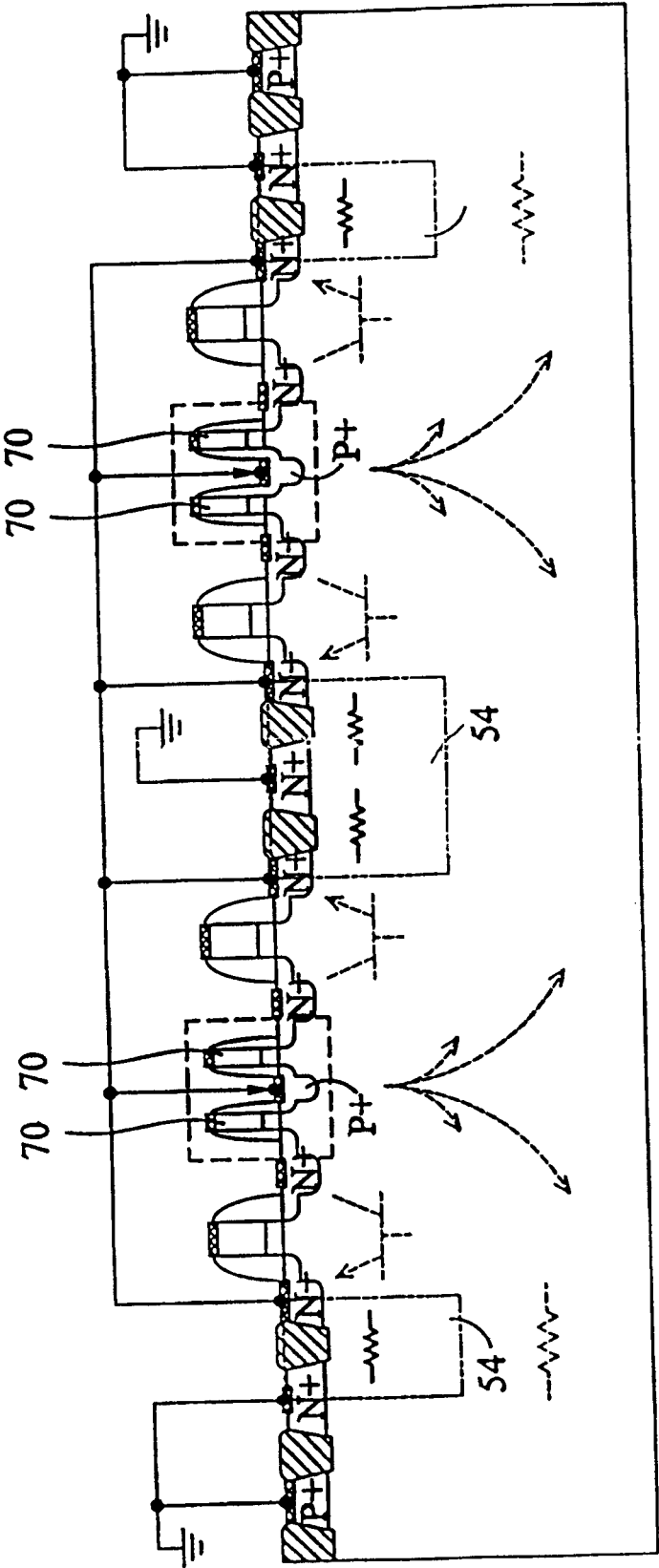


图 19

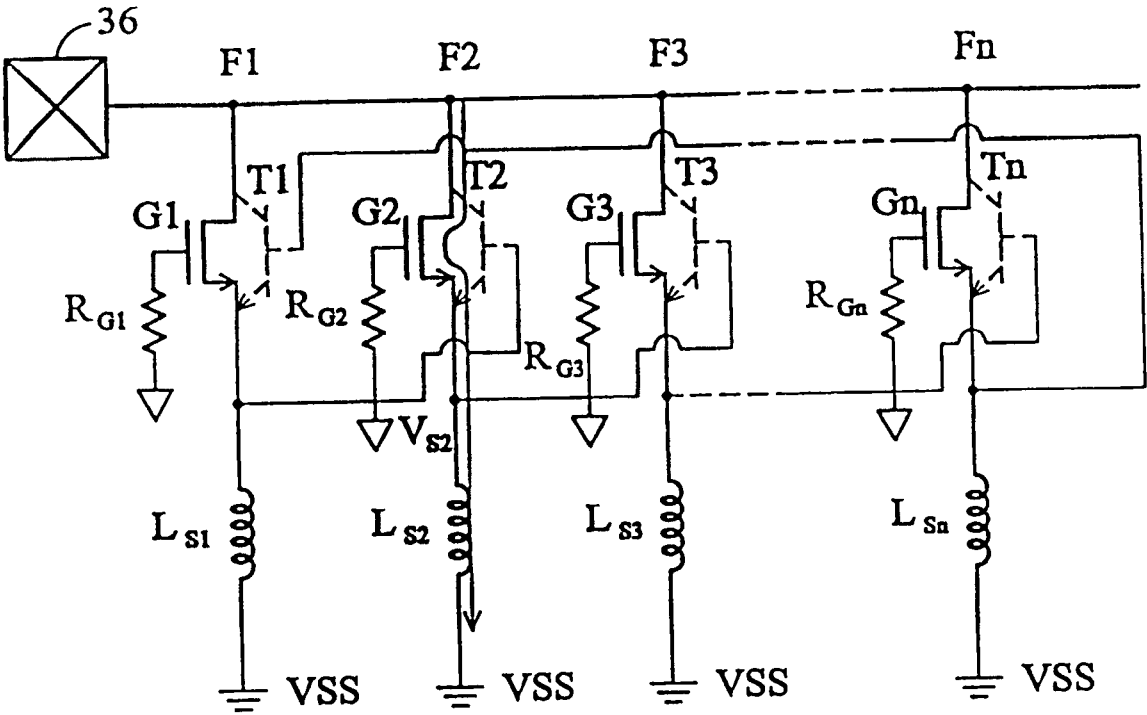


图 20

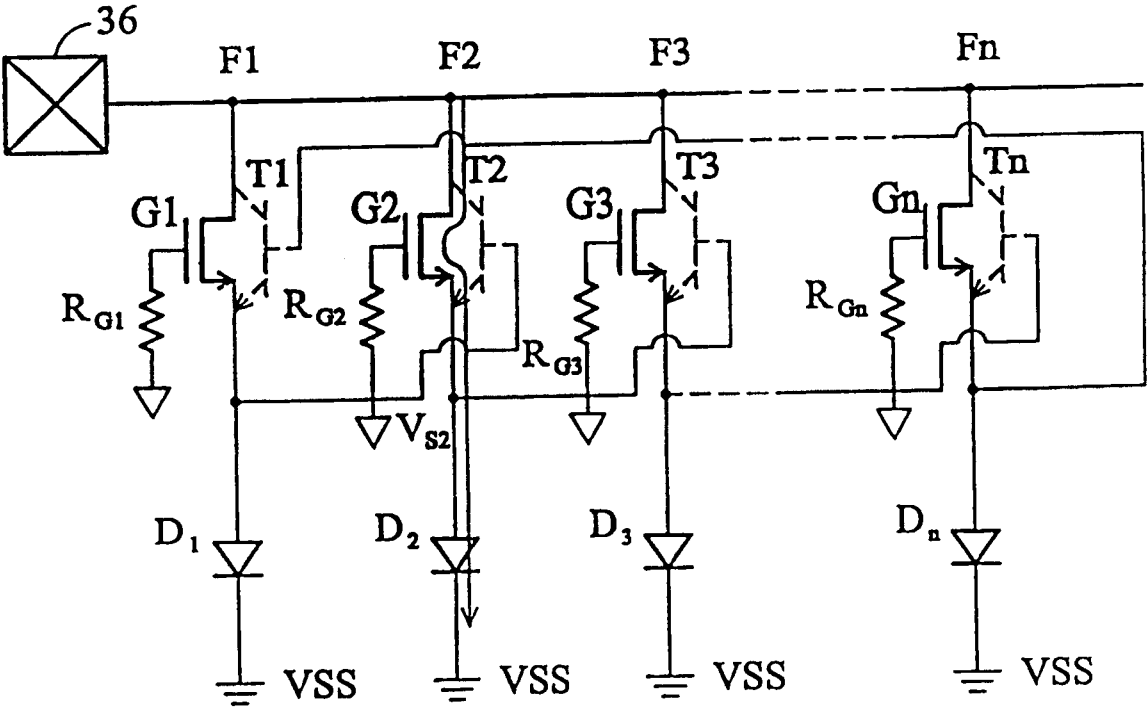


图 21

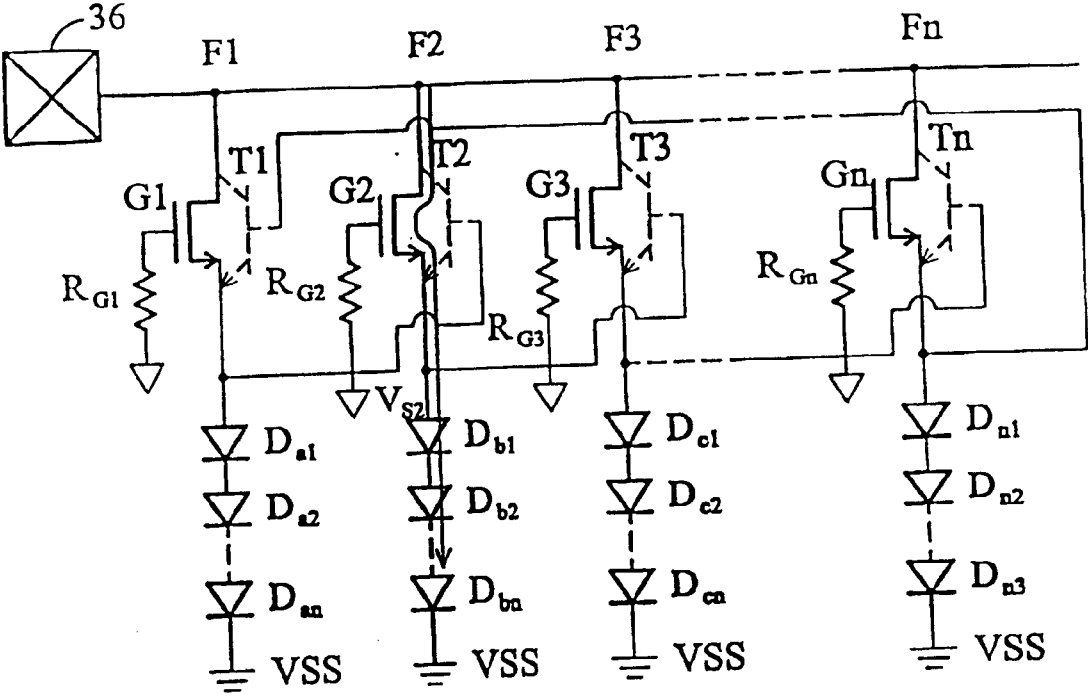


图 22

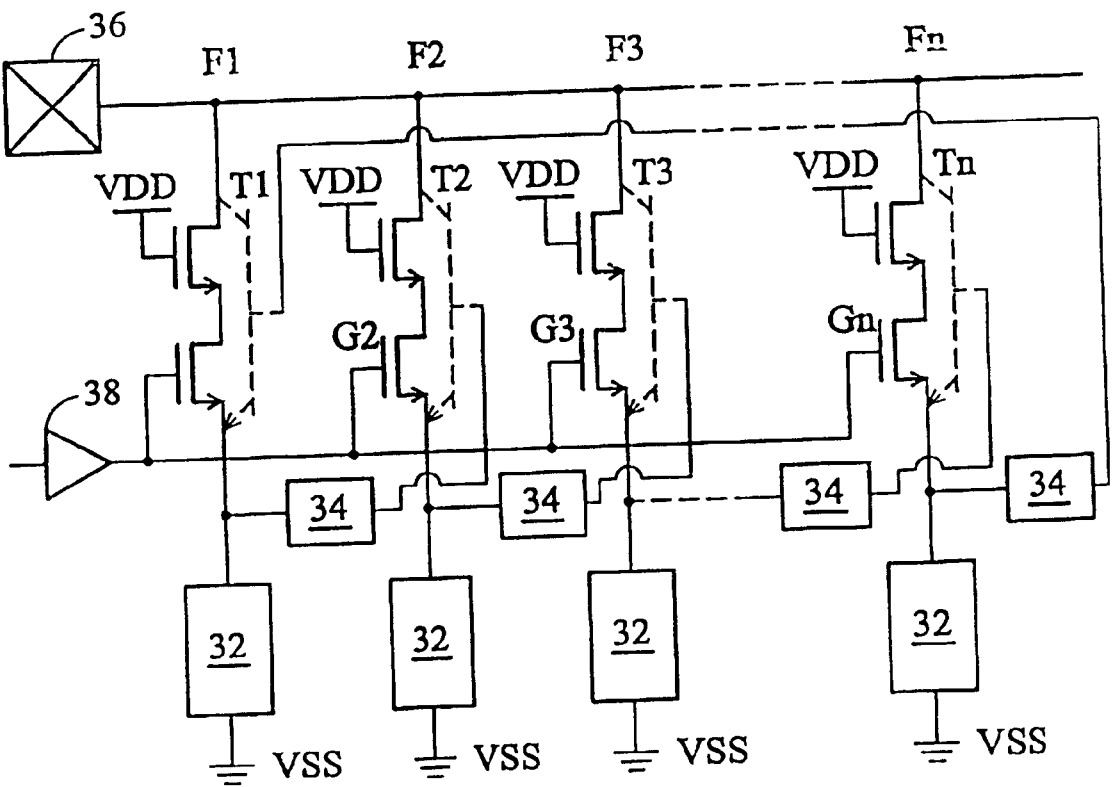


图 23